

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

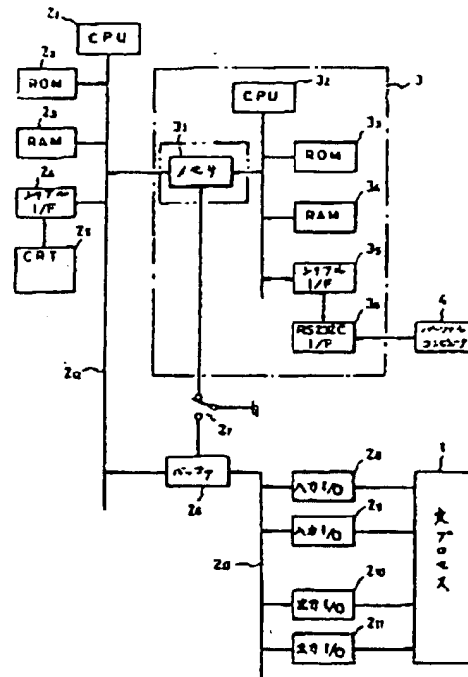
**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 03054074  
PUBLICATION DATE : 08-03-91  
APPLICATION DATE : 20-07-89  
APPLICATION NUMBER : 01186089  
APPLICANT : KYOSAN ELECTRIC MFG CO LTD;  
INVENTOR : NAITO HIROSHI;  
INT.CL. : B61L 27/00 G05B 23/02  
TITLE : TEST CIRCUIT FOR DEVICE FOR CONTROLLING A PLURALITY OF LOADS



ABSTRACT : PURPOSE: To enable execution of a test not needing connection of an actual load by providing 8 memory to store data regarding a plurality of loads in an address intrinsic to each load and a simulator to effect control simulation responding to a memory content.

CONSTITUTION: A simulator comprises an inspecting device 3 of a control device (a product) to control an actual process 1 being an object to be controlled, e.g. a railway signalling device, and a personal computer 4. The control device comprises a CPU 2<sub>1</sub>, an ROM 2<sub>2</sub>, and an RAM 2<sub>3</sub>, and the inspecting device 3 comprises a memory 3<sub>1</sub> of a dual port, a CPU 3<sub>2</sub>, and an ROM 3<sub>3</sub>. In the memory 3<sub>1</sub>, data regarding each load is stored in an address intrinsic to each load, and the memory 3<sub>1</sub> is capable of accessing from both of a CPU<sub>1</sub> and a CPU<sub>2</sub>. Inspection of the control device is effected through selection of either operation of the actual process 1 or operation of the inspection device 3 through an enable switch 2<sub>7</sub>.

COPYRIGHT: (C)1991,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-54074

⑫ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月8日

B 61 L 27/00  
G 05 B 23/02

G 7829-5H  
H 7429-5H

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 複数の負荷を制御する装置の試験回路

⑮ 特 願 平1-186089

⑯ 出 願 平1(1989)7月20日

⑰ 発 明 者 内 藤 央 神奈川県横浜市鶴見区平安町2丁目29番地の1 株式会社  
京三製作所内

⑱ 出 願 人 株式会社京三製作所 神奈川県横浜市鶴見区平安町2丁目29番地の1

⑲ 代 理 人 弁理士 山川 政樹 外3名

明 細 書

1. 発明の名称

複数の負荷を制御する装置の試験回路

2. 特許請求の範囲

それぞれ固有アドレスが割り付けられた複数の負荷を制御する装置の試験を行う試験回路において、

負荷に関するデータをその負荷に固有のアドレスに記憶するメモリと、

そのメモリ内容に対応する制御シミュレーションを行うシミュレータとを備えたことを特徴とする複数の負荷を制御する装置の試験回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、例えば鉄道信号の制御装置を試験する試験装置に関するものである。

〔従来の技術〕

一般に、例えば列車運行を制御するための制御装置は、線路に沿って多数設けられる装置、例えば信号機を列車の進行にともなって順次制御する

ようになっている。この装置の製造にあたっては所望の制御が確実に行われているか否かを検査する必要がある。このため従来は負荷である制御対象と類似するものをランプとスイッチなどで作り、これを制御装置に接続して検査を行っていた。

〔発明が解決しようとする課題〕

しかしながらこのような従来の方法は、負荷が実際の制御対象と同一のものではないため、実際の負荷の動きと完全に一致した決め細かい検査は不可能であり、また制御対象が多くなると制御対象の作成および検査に多大な工数を要するため経済性が悪い。このため制御対象と全く同一機能の装置をシミュレータとして作れば良いが、制御対象の数が多い場合はそのシミュレータが大形の装置になってしまい、極端な場合は制御装置よりも制御対象が占める価格の方が価格が大きくなり、やはり経済性に問題があるという課題を有していた。

〔課題を解決するための手段〕

このような課題を解決するためにこの発明は、

負荷に関するデータをその負荷に固有のアドレスに記憶するメモリと、そのメモリ内容に対応する制御のシミュレーションを行うシミュレータとを備えたものである。

#### 【作用】

制御装置は実際に負荷を駆動するデータを出力する。このとき負荷が接続されていなくてもそのデータはメモリをアクセスし、その記憶されたデータをもとにシミュレータが負荷の動作をシミュレートする。すなわち、実際の負荷をつないでシミュレーションするのでなく、負荷が接続されていなくても実際の負荷を駆動する制御を行うと、負荷が接続されていると同等のシミュレーションが行われる。

#### 【実施例】

第1図はこの発明の一実施例を示すブロック図である。図において製品である制御装置は例えば信号機等の制御対象である実プロセス1を制御するものであり、CPU2<sub>1</sub>、ROM2<sub>1</sub>、シリアルI/F2<sub>1</sub>、CRTおよびキーボード2<sub>1</sub>、バ

ッファ2<sub>1</sub>、スイッチ2<sub>1</sub>、入力I/O2<sub>1</sub>および出力I/O2<sub>1</sub>およびCPUバス2<sub>1</sub>、I/Oバス2<sub>1</sub>から構成されている。

3はシミュレーションを行うための検査装置であり、デュアルポートのメモリ3<sub>1</sub>、CPU3<sub>1</sub>、ROM3<sub>1</sub>、RAM3<sub>1</sub>、シリアルI/F3<sub>1</sub>、RS232CのI/F3<sub>1</sub>から構成されている。4はパーソナルコンピュータであり、検査装置3とパーソナルコンピュータ4はシミュレータを構成している。

このように構成された装置において、メモリ3<sub>1</sub>は制御装置側のCPU2<sub>1</sub>および検査装置側のCPU3<sub>1</sub>のいずれの側からもアクセス可能のように構成されている。このためCPU3<sub>1</sub>からメモリ3<sub>1</sub>のあるアドレスにデータを書いたとき、制御装置のCPU2<sub>1</sub>は同じアドレスをアクセスすることによって、そのデータを読むことができる。つまり、両CPUはメモリアドレスでのデータの交換が可能のように構成されている。

スイッチ2<sub>1</sub>はイネーブルスイッチであり、実

プロセス1の動作か検査装置3の動作かを選択するようになっている。このため、スイッチ2<sub>1</sub>が検査装置3側にあるときCPU2<sub>1</sub>がI/O命令を実行すると、実際のI/Oではなくメモリ3<sub>1</sub>がアクセスされる。このため検査装置3のCPU3<sub>1</sub>が実I/Oと同じイメージで情報を見生させ（実プロセスの反応と同一のデータを見生させる）、メモリ3<sub>1</sub>にそのデータを書き込んでおけば、制御装置のCPU2<sub>1</sub>が実プロセスを制御するとき、そのデータはメモリ3<sub>1</sub>をアクセスすることになる。この結果、制御装置は実プロセス1を制御していると等価な反応を得ることができ、制御装置の確実な検査が行える。

第2図はこの発明を鉄道におけるPTC (Progressed Train Control) 装置に応用したときの例であり、実プロセスは電連動装置である。そして入力ポイント位置、列車位置、進路鎖錠状態、信号表示状態であり、出力は進路制御である。機能としては駅における列車の進路制御、一日の列車運行をダイヤデータとしてメモリに記憶、ダイ

ヤデータに基づき順次列車の進路を制御、列車追跡、遅延監視、制御にたいするアンサーチェックがある。

この場合のシミュレータの動作は、進路制御が行われると次のように制御が順次行われる。

ポイントを所定の方向に転換。

進路を鎖錠、信号現示。

信号が進行現示の場合、列車を順次進めて到着点に到着させる。列車の動きは軌道回路の列車検知で表現する。

列車の進行によって列車が去った軌道回路の進路鎖錠を解除する。

これらの動きをパーソナルコンピュータ内部のソフトウェアで実現し、その情報をシリアル回路を通じて検査装置3へ伝達する。

第3図は実I/Oの情報フォーマットであり、シミュレータ内では同じイメージで情報管理される。そして実プロセスの動きを模擬して情報を見生し、第3図のイメージに反映するようになっており、出力（制御装置からシミュレータ方向）も同様に

第1表

	7	6	5	4	3	2	1	0
A0	1R	2R	3R	4L	5L	6L		
A1								
A2								
A3								
A4								

第1表において0～7はビット番号、A0・・・A4は1/0 アドレスであり、アドレスA0は進路制御指令である。1Rから3Rまでは場内進路、1Lから6Lまでは出発進路であり、次の意味をもっている。

- 1R：接近 (THIT) から1番線へ入場する進路
- 2R：接近 (THIT) から2番線へ入場する進路
- 3R：接近 (THIT) から3番線へ入場する進路
- 4L：3番線から出発する進路
- 5L：2番線から出発する進路
- 6L：1番線から出発する進路

この様子を第5図および第6図に示している。

なっている。第3図において横軸は1バイトを表し7ビットで構成されている。縦軸は1/0 アドレスを表している。情報伝達は第4図に示すように3バイトで構成され、情報変化の度にその変化の状態 (「1」に変化または「0」に変化) と変化したアドレスデータの最終状態をバイト単位で伝送するようになっている。そしてこの情報はメモリ3、へ反映され、また出力についてはメモリ3の内容が変化した場合、同じフォーマットでシミュレータへ伝送するようになっている。

制御装置の入出力データフォーマットは第1表および第2表のようになっている。第1表は出力データフォーマットであり、CPU2、から実プロセスへのデータであり、ここでは進路制御情報である。この例は最も単純な例で示してあるので6ビットしか用いていないが、実際には更に多くの情報で構成される。

第2表は入力データフォーマットで実プロセスからCPU2、へのデータである。

第2表

	7	6	5	4	3	2	1	0
A0	21 定位	21 反位	22 定位	22 反位	23 定位	23 反位		
A1	TH2T	2HIT	21LT	21LT	23T	1AT	2AT	3AT
A2	1-3 RMR	23 TRS	5 LJR 6	4LJR				
A3	1RH	2RH	3RH	4LH	5LH	6LH		
A4								

第2表において0～7はビット番号、A0・・・A4は1/0 アドレスであり、A0はポイント位置、A1は列車位置 (軌道回路の状態)、A2は進路鎖錠状態、A3は信号表示状態であり、第7図、第8図はこの状態を示している。第7図、第8図において21、等の記号はポイント名称、1AT等の記号は軌道回路名である。

これらのデータは次の用途に使用される。

列車検知

進路制御は予め定められた制御地点に列車が存在していることを条件に行われる。制御地点は場内についてはTH1TまたはTH2Tであり、出発は1AT、2AT、3ATである。

進路支障チェック

進路制御を行うにあたっては、制御対象進路が他の進路により支障されていないことをチェックした上で行う。進路鎖錠やポイントの条件を参照してチェックする。

制御アンサチェック

制御出力した後、進路が構成されたことを信号表示状態を基にチェックする。出力した後、一定時間経過後も信号が表示されない場合は制御不能を警報出力する。

進路自動リセット

出力した進路制御条件は列車が進路の内方に侵入したことにより自動リセットする。進路鎖錠、ポイント、列車位置を使用して進路の内方への侵入を検知する。

列車進路

列車位置条件の状態に基づいて列車の追跡を行う。

制御装置が実プロセスへの進路制御指令を伝えることは、I/O アドレスA0へ必要なデータをライトすることにより行われる。また、制御装置はI/O アドレスA0～A4をリードすることにより、実プロセスの各種状態を知ることができ、スイッチ2<sub>7</sub>が実プロセス側にあるときは、このフォーマットに基づいた情報がCPU2<sub>1</sub>と実プロセスの間でやりとりされる。スイッチ2<sub>7</sub>が検査装置側にあると、メモリ3<sub>1</sub>を介してCPU2<sub>1</sub>とCPU3<sub>2</sub>との間で情報のやりとりが行われる。その情報のフォーマットは実プロセスとの間で行われるのと全く同じである。このときメモリ3<sub>1</sub>のアドレスは実プロセスのI/O アドレスと同じに設定されているので、CPU2<sub>1</sub>は入出力データを実プロセスとやりとりしているのか、検査装置とやりとりしているのかは全く意識しない。すなわちCPU3<sub>2</sub>がメモリ3<sub>1</sub>を介して得られるCPU2<sub>1</sub>からの制御指令にตอบสนองして実プロセスが発

生するのと等価な情報をメモリ3<sub>1</sub>へ与えてやれば、あたかも実プロセスが接続されているような状態で制御装置の試験を行うことが可能となる。

実プロセスと等価な情報を発生するのは、パーソナルコンピュータを利用したシミュレータである。CPU3<sub>2</sub>はメモリ3<sub>1</sub>とパーソナルコンピュータとの間を中継する役目を持つ。CPU3<sub>2</sub>はシリアル回線を通じてパーソナルコンピュータとの間で情報の交換を行う。CPU3<sub>2</sub>とパーソナルコンピュータの動作は図2の通りである。

CPU3<sub>2</sub>はメモリ3<sub>1</sub>の内容を常時チェックしてその変化を調べる。CPU3<sub>2</sub>がメモリ3<sub>1</sub>の内容の変化を検知した場合は、直ちにシリアルI/Fを通じて第4図フォーマットによってパーソナルコンピュータに伝える。この場合、第4図においてI/O アドレスはデータの変化したI/O アドレス、情報種別は「0」から「1」に変化したか(立ち上がり)、「1」から「0」に変化したか(立ち下がり)かの区別、データは変化後のデータである。

パーソナルコンピュータ内にも第1表、第2表と同じフォーマットの入出力管理プログラムが第4図のフォーマットに基づくデータを検査装置から受信すると、自身の出力データエリアを最新の状態に書き換える。

パーソナルコンピュータのシミュレーションプログラムは出力データエリアを常時チェックし、進路制御指令が与えられたことを検知すると、実プロセス(この場合は継電連動装置)の動きを模擬に、その結果を入力データエリアへ反映させる。実際のデータは列車の動きなどによって刻々と変化するが変化の都度、入力エリアの内容を書き換える。

パーソナルコンピュータの入出力管理プログラムは常時入出力データエリアをチェックし、そのデータが変化した都度、第4図のフォーマットで変化データをシリアルI/Fを通じて検査装置へ伝える。検査装置のCPU3<sub>2</sub>はシリアルI/Fを通じてパーソナルコンピュータより入出力データ変化情報を受信すると、その都度、受信したデータ

の内容指定に基づいてメモリ3<sub>1</sub>の該当するアドレスの内容を書き換える。

以上の動作はパーソナルコンピュータのシミュレーションプログラムの動きに応じてランダムに行われ、メモリ3<sub>1</sub>に実プロセスと等価なデータがリアルタイムに与えられる。

検査装置のプログラム動作のフローチャートを第9図に、パーソナルコンピュータ入出力管理プログラムの動作フローチャートを第10図に、パーソナルコンピュータメインプログラムの動作フローチャートを第11図に示す。検査装置のプログラムはコード化されてROM3<sub>1</sub>に記憶されている。第11図において、シミュレーションプログラムの動作は、出力データエリアをチェックし、進路制御指令が与えられると、ポイントを転換し、進路を鎖錠して信号を現示する。信号を現示した場合、その進路の発点に列車がいる場合は、列車を軌道回路単位に進めていき、到点に到させ、列車の進行にともない、列車が去った軌道回路の進路鎖錠を解錠する。ポイントの状態、信号

現示の状態、軌道回路の状態、進路鎖錠の状態等は変化の都度、第4図のフォーマットに基づいて入力データエリアに反映させる。

パーソナルコンピュータとの通信はシリアルI/F 3、およびRS232CのI/F 3を介して行われる。RAM 3はでの一時記憶用メモリである。パーソナルコンピュータからのデータの受信処理はシリアルI/Fからの受信割り込みに基づいて起動される。

〔発明の効果〕

以上説明したようにこの発明は負荷に関する情報をメモリに記憶させ、そのメモリを制御装置と検査装置の両方からアクセスできるようにしたので、実負荷を接続しなくても、接続したと等価な検査が行えるという効果を有する。

4. 図面の簡単な説明

第1図はこの発明の一実施例を示すブロック図、第2図はこの発明を応用した例を示す図、第3図は信号フォーマットを示す図第4図はデータ構成を示す図、第5図から第8図は信号状態を示す図、

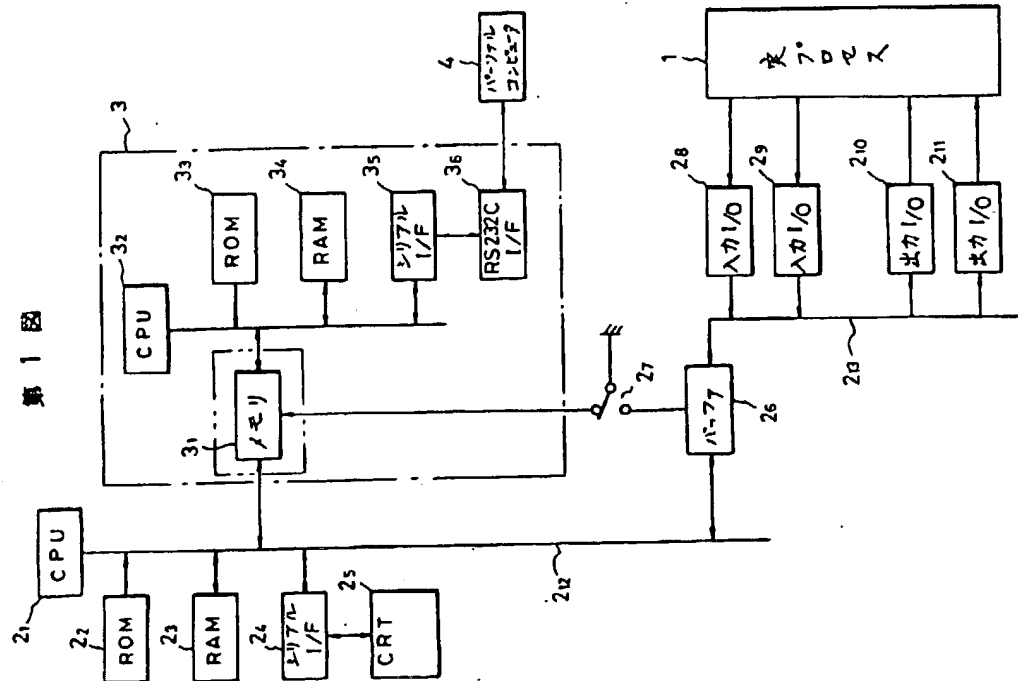
第9図から第11図は各部の動作を示すフローチャートである。

1・・・実プロセス、2・・・制御装置、  
2<sub>1</sub>、3<sub>1</sub>・・・CPU、2<sub>2</sub>、3<sub>2</sub>・・・  
ROM、2<sub>3</sub>、3<sub>4</sub>・・・RAM、3<sub>5</sub>・・・  
メモリ、4・・・パーソナルコンピュータ。

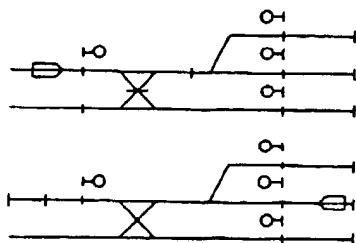
特許出願人 株式会社京三製作所

代理人 山川 政 樹

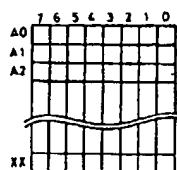
第1図



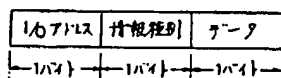
第2図



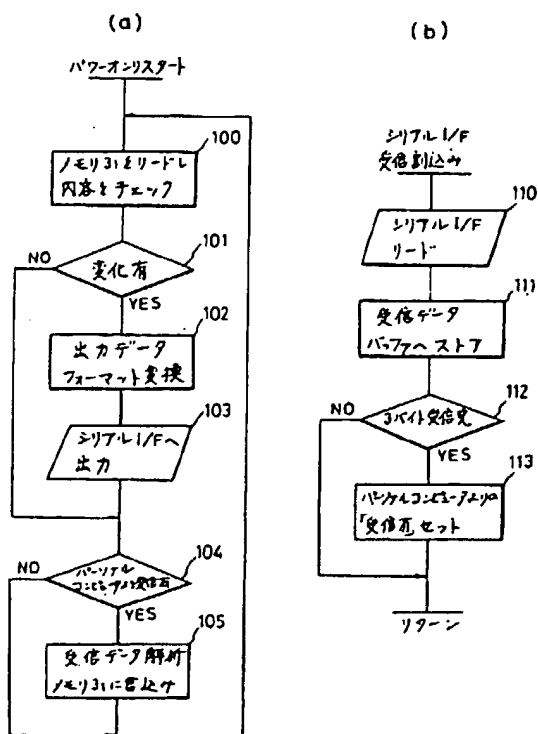
第3図



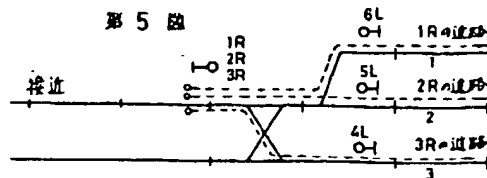
第4図



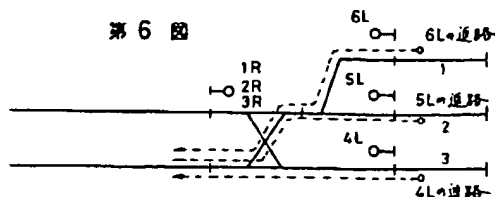
第9図



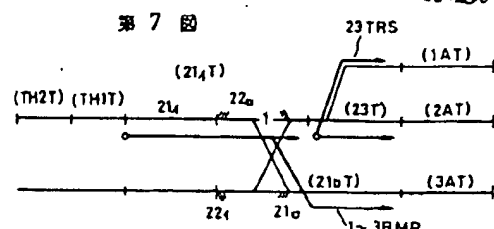
第5図



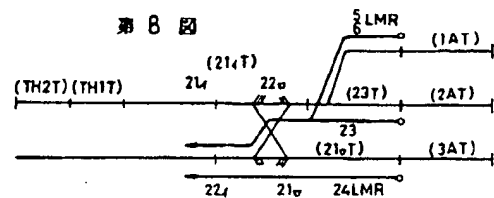
第6図



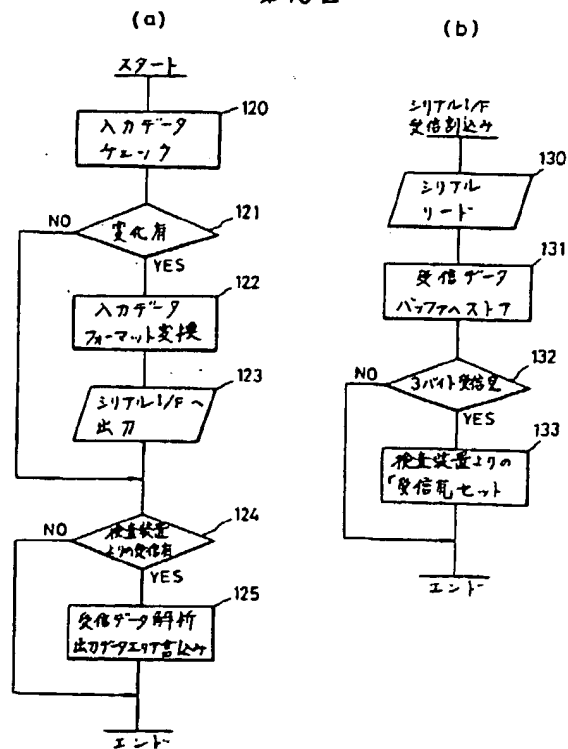
第7図



第8図



第10図





第11図

